



中国科学技术大学

The University of Science and Technology of China

基于FPGA的高速任意波形发生器 的设计

王坚 张鸿飞

核探测与核电子学国家重点实验室
中国科学技术大学 近代物理系





任意波形发生器简介

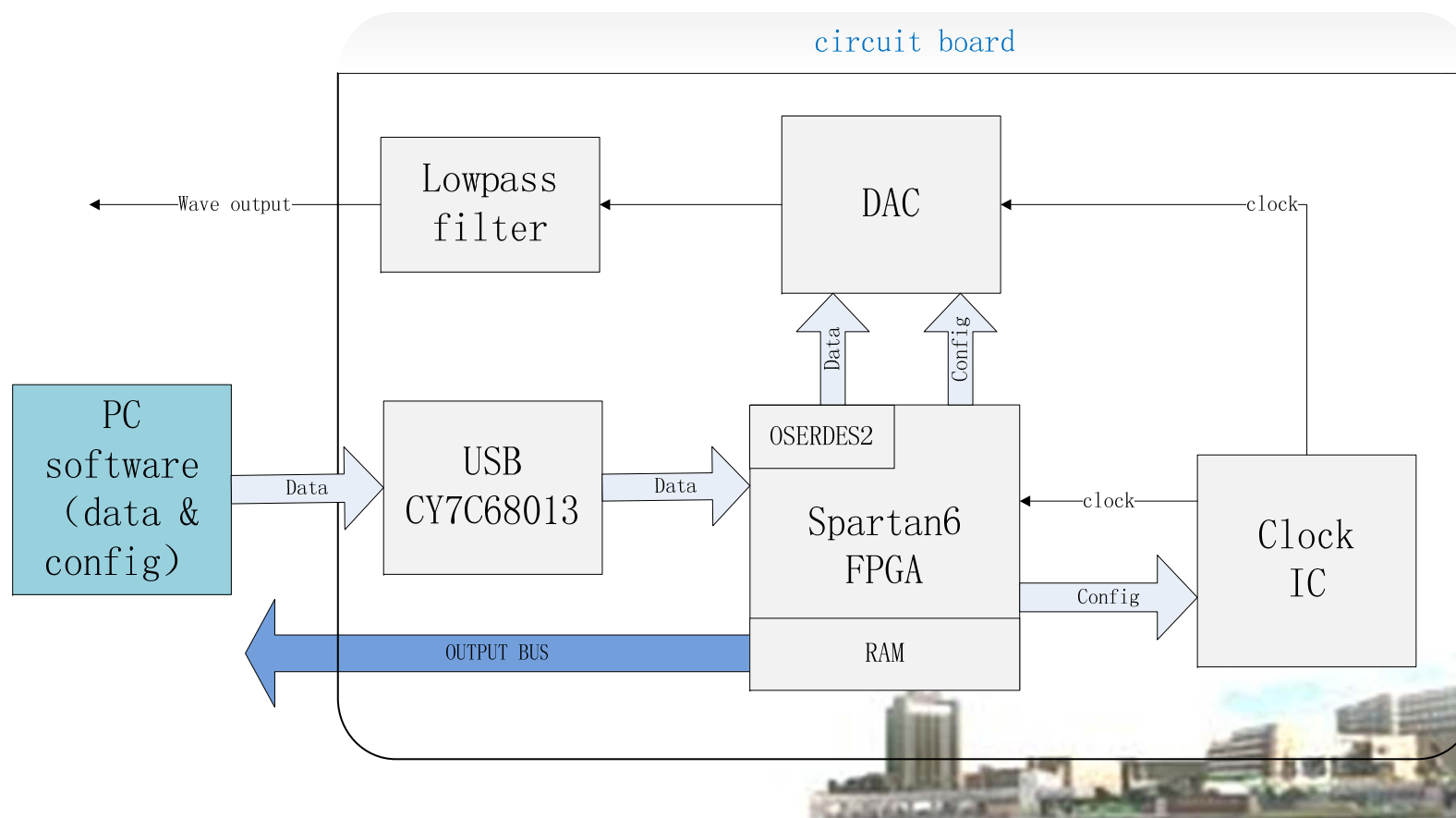
- 随着电子信息技术的发展，信号发生器被广泛应用于电子技术的各个领域
- 对其性能要求越来越高，比如频率幅度可调，频率稳定性高，转换速度快等
- 特殊波形的要求，比如一种用于量子随机数发生器的 $1/(T-t)$ 波形





方案设计

- 本设计以一块FPGA芯片XC6SLX75T为核心，采用DDS技术和高速DAC芯片，数字采样频率达1GHz。





- 使用Spartan 6系列的XC6SLX75T FPGA芯片，具有可配置OSERDES2模块，最高运行频率可达1080MHz。
- 时钟控制采用TI公司的CDCE62005芯片，具有5路可单独配置的差分时钟，最高输出频率为1500MHz
- DAC选用Analog Devices公司的AD9734芯片，输入采样信号为10位，最高采样速度可达1.2Gbps，可调模拟电流输出





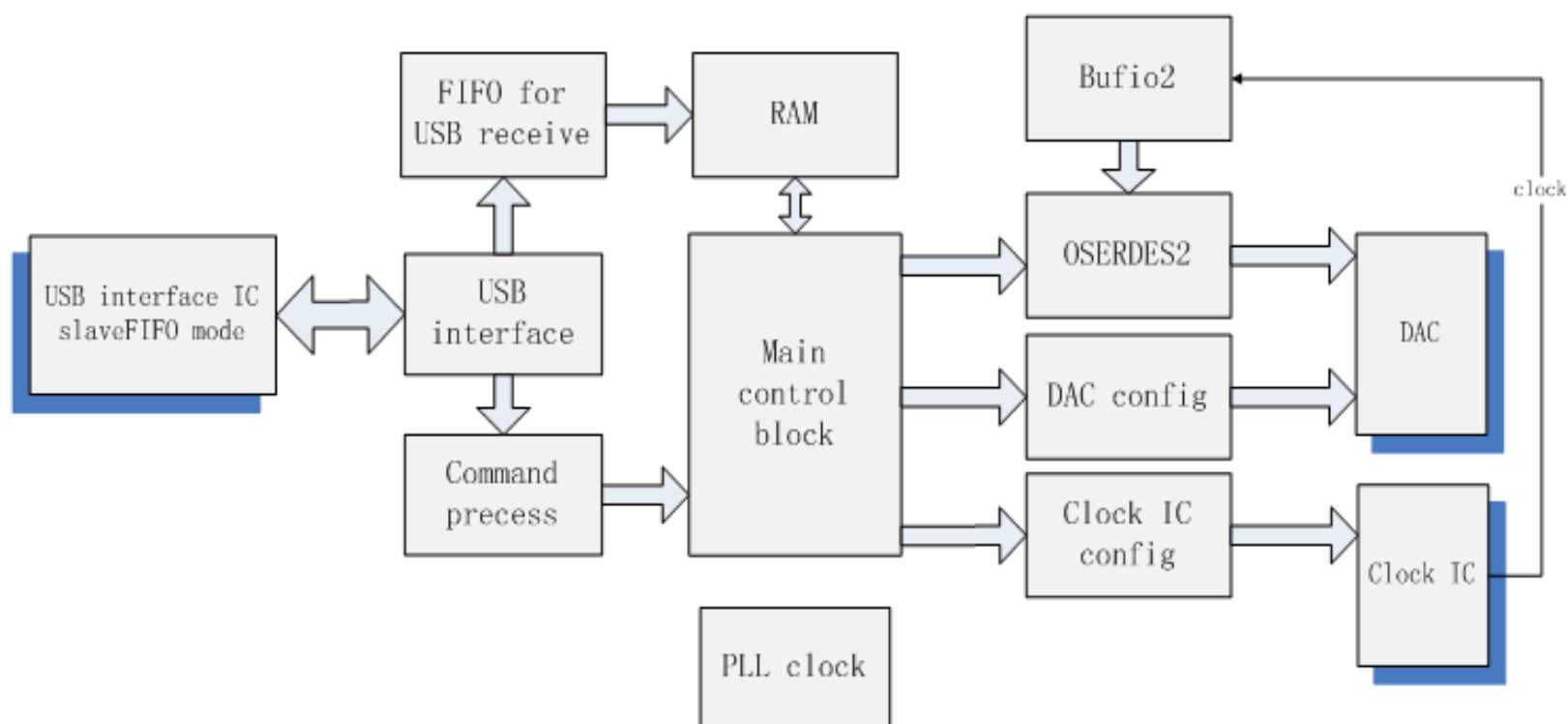
FPGA逻辑设计

- **FPGA**是系统工作的核心，负责完成对时钟芯片、**DAC**芯片的配置，同时由**USB**模块接收数据并通过高速并串转换模块输送给**DAC**。
- **FPGA**逻辑包括多个功能模块：**USB interface**模块、命令处理模块、时钟芯片配置模块、**DAC**配置模块、数据并串转换模块以及主控模块等





FPGA逻辑框图



OSERDES2介绍

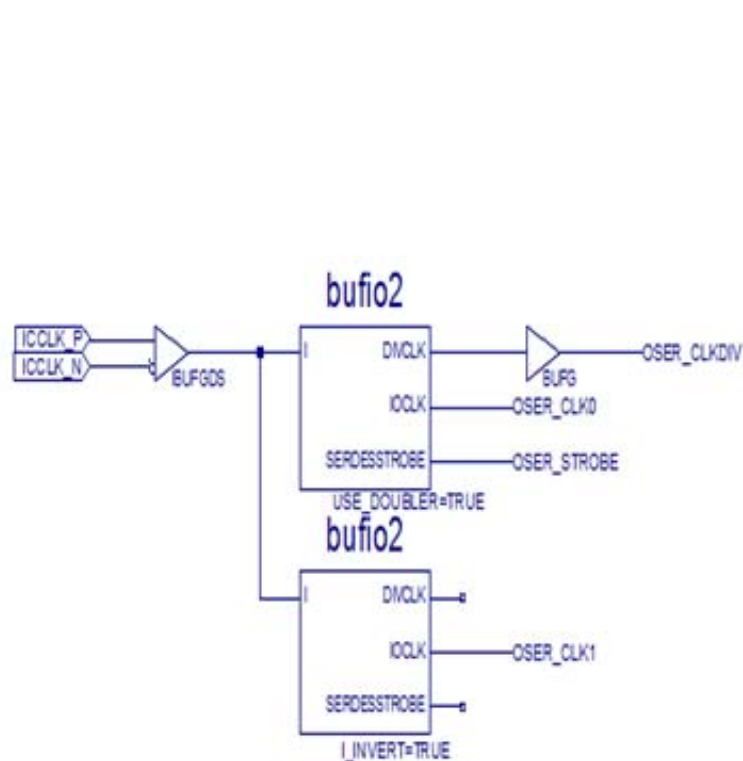


- OSERDES2模块是spartan6 系列FPGA中特有的并串输出模块
- 使用一个低频时钟CLKDIV对并行数据进行采样，通过一对反向的高频时钟CLK0/CLK1驱动串行数据的输出
- 通过一个门限信号IOCE对内部寄存器进行数据流控制
- 最高支持8bits转1bit输出，最高输出数据率为1080Mbps

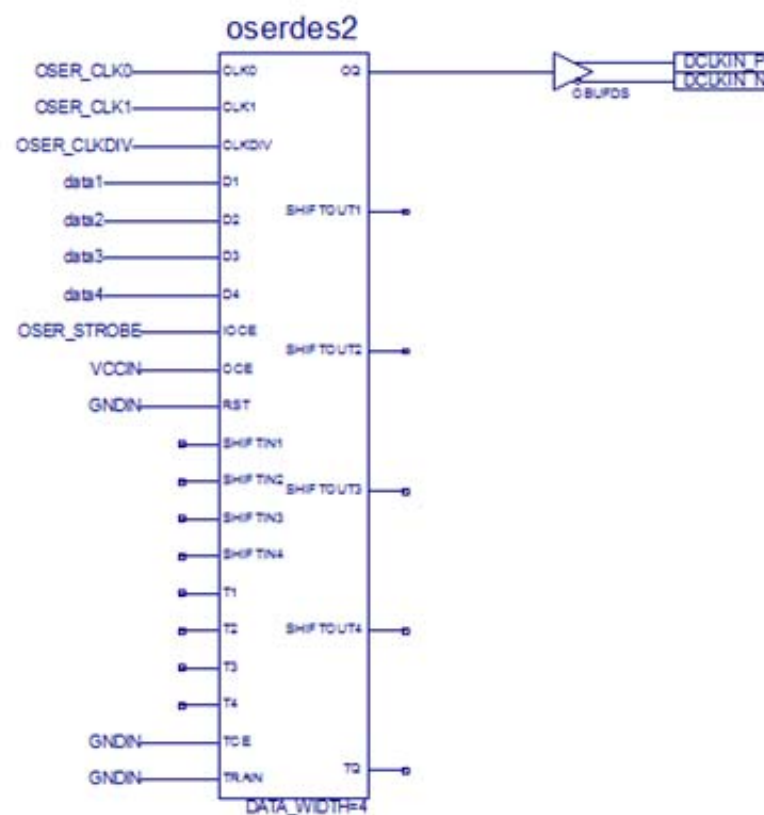




OSERDES2 配置



(a) oserdes2 驱动时钟配置



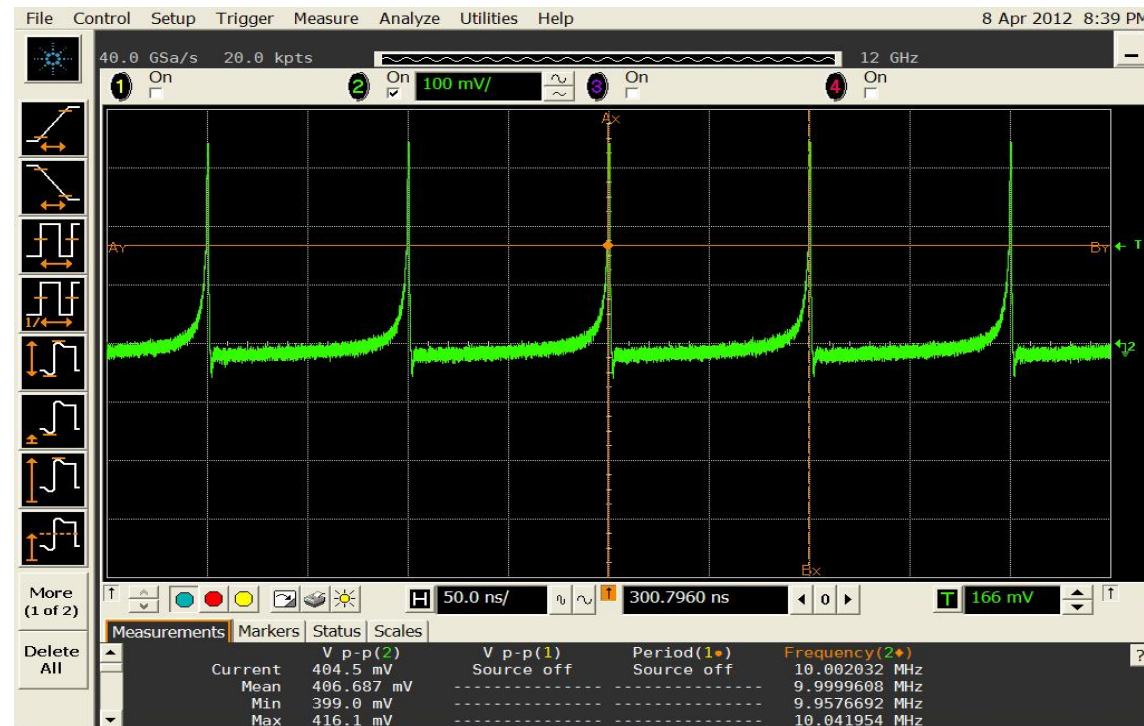
(b) oersedes2 模块结构



$1/(T-t)$ 波形输出测试

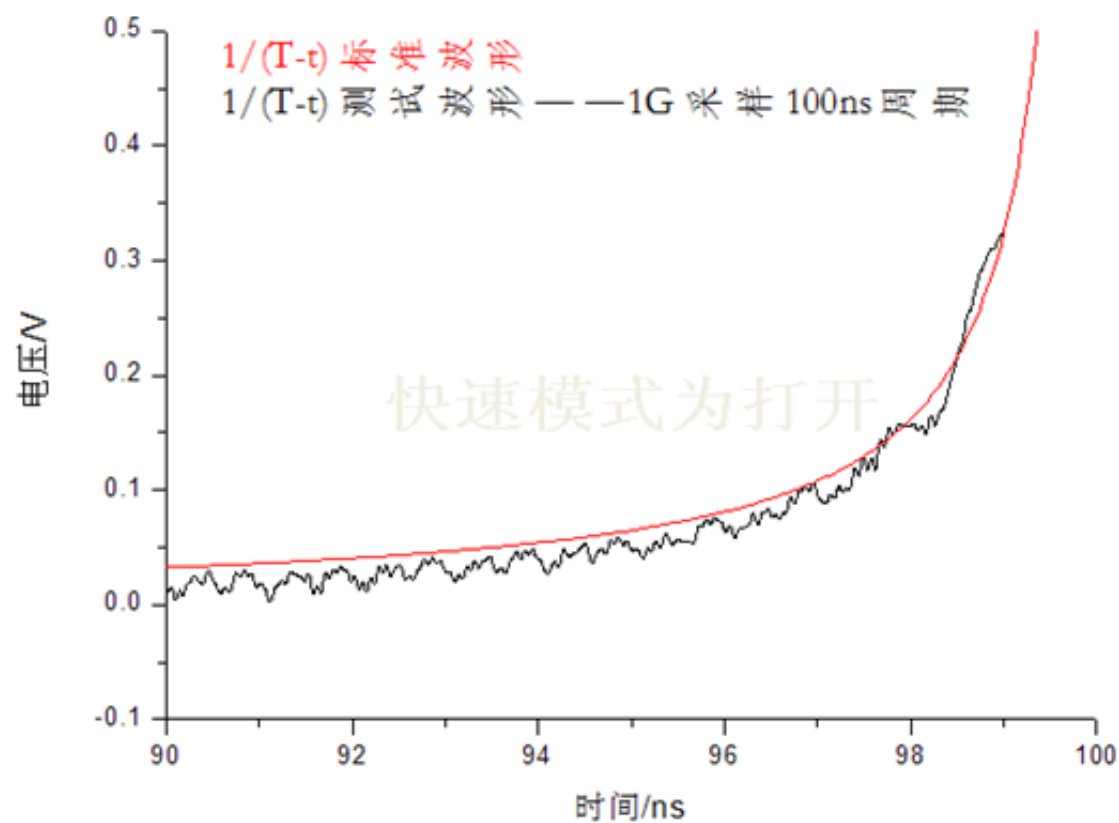


- 输出重复频率为10MHz没有经过低通滤波的 $1/(T-t)$ 波形



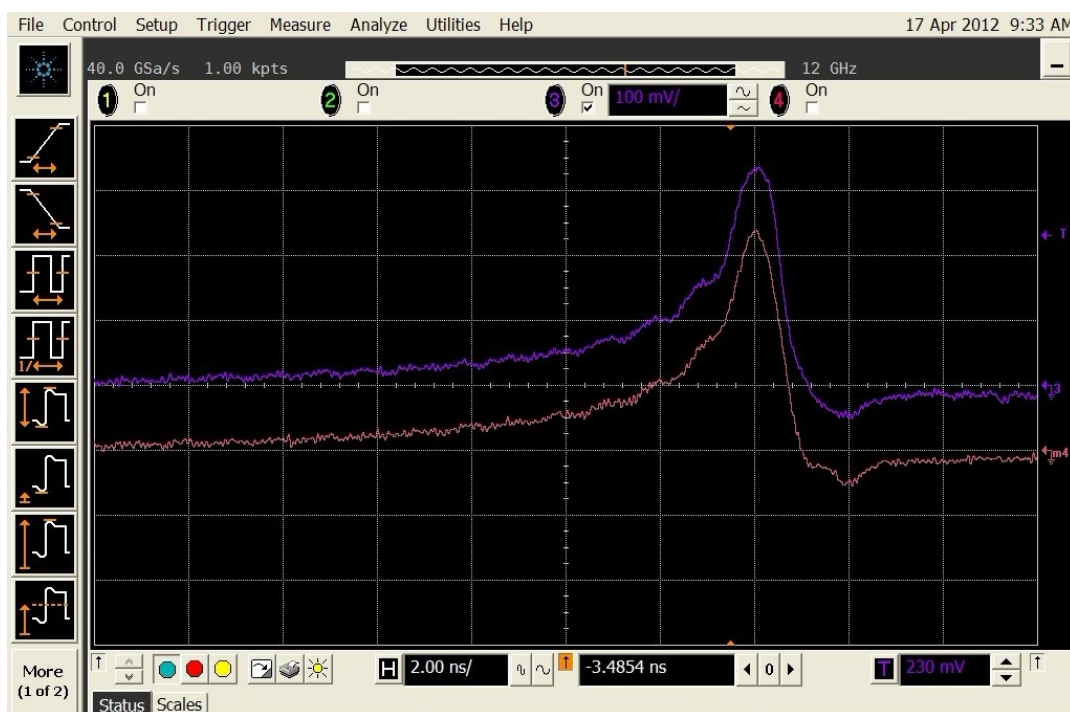


- 与理论波形对比





- 经过低通滤波模块进行测试
- 紫色信号（上方）截止频率为1400MHz，红色信号（下方）截止频率为1000MHz。



★通过低通滤波,有效的消除了高频噪声





谢谢！

